

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

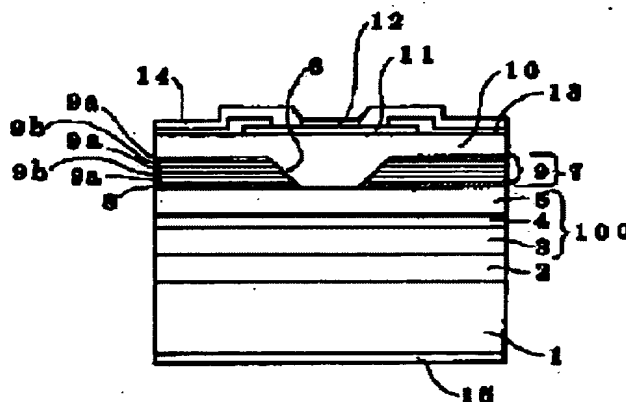
SEMICONDUCTOR LASER DEVICE

Patent number: JP5243667
Publication date: 1993-09-21
Inventor: MIYAKE TERUAKI; others: 03
Applicant: SANYO ELECTRIC CO LTD
Classification:
- **international:** H01S3/18
- **europaen:**
Application number: JP19920041204 19920227
Priority number(s):

Abstract of JP5243667

PURPOSE: To provide a GaAlAs series semiconductor laser having a current blocking layer which has an excellent current blocking effect.

CONSTITUTION: A current blocking layer 7 having a plurality of Ga_{1-x}Al_xAs layers (0.2 < x < 0.8, layer thickness: 0.1 μm or less) 9b is formed on a double hetero structure 100. The layer 7 is formed with a recess 6, and a current injection layer 10 is formed in the recess 6.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243667

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵
H 0 1 S 3/18

識別記号 庁内整理番号
9170-4M

FI

技術表示箇所

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-41204

(22)出願日 平成4年(1992)2月27日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)發明者 三宅 輝明

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72) 堯明者 茨木 晃

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 古沢 浩太郎

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(74)代理人 弁理士 西野 卓嗣

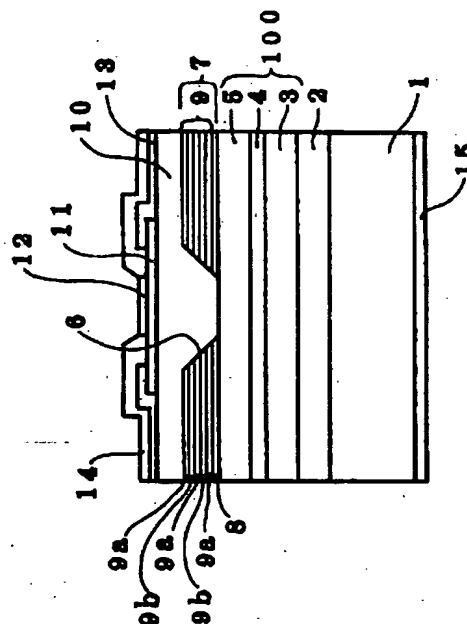
[最終頁に続く](#)

(54)【発明の名称】 半導体レーザ装置

(57)【要約】

【目的】 電流阻止効果の優れた電流阻止層をもつGaAlAs系半導体レーザ装置を提供することを目的とする。

【構成】 ダブルヘテロ構造部100上に複数のGa_{1-x}Al_xAs層(0.2<x<0.8、層厚:0.1μm以下)9bを含む電流阻止層7を形成する。この電流阻止層7は凹部6が形成されており、該凹部6内に電流注入層10が形成される。



【特許請求の範囲】

【請求項1】 GaAs基板上に、GaAlAs系の第1、第2クラッド層が活性層を挟持するダブルヘテロ構造部を備え、該第2クラッド層上に電流通路部をもつ電流阻止層を有する半導体レーザ装置において、該電流阻止層が複数の $Ga_{1-x}Al_xAs$ 層 ($0.2 < x < 0.8$) を含むことを特徴とする半導体レーザ装置。

【請求項2】 前記 $Ga_{1-x}Al_xAs$ 層の層厚が $0.1\mu m$ 以下であることを特徴とする請求項1記載の半導体レーザ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は $Ga_{1-x}Al_xAs$ 系半導体レーザ装置に関する。

【0002】

【従来の技術】近年、半導体レーザ装置は光情報機器や光通信機器等の光エレクトロニクスにおける光源として利用されており、活発に研究開発されている。最近、電子デバイスの集積化等の要求に伴って、基板上に半導体層をエピタキシャル成長させ、この基板面に対して垂直な方向からレーザ光を取り出す面発光型半導体レーザ装置が開発されている。

【0003】この面発光型半導体レーザ装置は例えば第52回応用物理学学会学術講演会講演予稿集 (No. 3) の第1024頁の11p-ZM-1に記載されている。図4は斯る半導体レーザ装置の断面図である。

【0004】図中、31は基板 (n型GaAs) である。この基板31上には半導体多層膜反射鏡 (n型 $Ga_{0.9}Al_{0.1}As$ / $AlAs$ の複数ペア) 32、第1クラッド層 (n型 $Ga_{0.9}Al_{0.1}As$) 33、活性層 (p型GaAs) 34、第2クラッド層 (p型 $Ga_{0.9}Al_{0.1}As$) 35がこの順に積層されている。この第2クラッド層35上にはn型GaAs層36a及びn型 $Ga_{0.9}Al_{0.1}As$ 層36bからなる電流阻止層36がこの順序で形成されている。そして、この電流阻止層36には電流通路部となる凹部50が作成されている。

【0005】前記電流阻止層36上及び前記凹部50内には電流注入層 (p型 $Ga_{0.9}Al_{0.1}As$) 38が形成されている。この電流注入層38上には誘電体多層膜反射鏡39 (SiO_2 / TiO_2 の複数ペア)、該誘電体多層膜反射鏡39を囲む態様にてコンタクト層 (p型GaAs) 40が形成されている。

【0006】前記コンタクト層40及び電流注入層38上面には、p型電極 (Au/Cr) 41が形成され、基板31の下面にはn型電極 (Au/Sn) 42が形成されている。

【0007】そして、この半導体レーザ装置は次のように製造される。

【0008】最初に、図5に示すように、基板31上に半導体多層膜反射鏡32、第1クラッド層33、活性層

34、第2クラッド層35、n型GaAs層36a及びn型 $Ga_{0.9}Al_{0.1}As$ 層36bを連続結晶成長した後、前記n型GaAs層36aの途中までエッチングしてなる凹部50aを形成する。

【0009】続いて、完成図である図4に示すように、この凹部50aの下部をGaAsメルトを用いてメルトバックして前記電流阻止層36に凹部50を形成した後、該凹部50内及び電流阻止層36上に電流注入層38、続いて該電流注入層38上にコンタクト層40を液相エピタキシャル法 (LPE法) により作成する。その後、該誘電体多層膜反射鏡39、p型電極41、及びn型電極42を作成する。

【0010】

【発明が解決しようとする課題】ところで、斯る構造の半導体レーザ装置では、前記メルトバックする工程及びLPE法を用いる工程において、図5に示すn型 $Ga_{0.9}Al_{0.1}As$ 層36bの表面欠陥部分60a、60a、・・・がメルトバックされ、図4で示すように欠陥部分60b、60b、・・・が形成される。従って、電流阻止層36の電流阻止効果が著しく低下し、無効電流が増加するといった問題があった。

【0011】本発明は上述の問題点を鑑み成されたものであり、電流阻止効果の劣化を防止した半導体レーザ装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体レーザ装置は、GaAs基板上に、GaAlAs系の第1、第2クラッド層が活性層を挟持するダブルヘテロ構造部を備え、該第2クラッド層上に電流通路部をもつ電流阻止層を有し、該電流阻止層は複数の $Ga_{1-x}Al_xAs$ 層 ($0.2 < x < 0.8$) が含まれていることを特徴とし、特に前記 $Ga_{1-x}Al_xAs$ 層の層厚が $0.1\mu m$ 以下であることを特徴とする。

【0013】

【作用】 $Ga_{1-x}Al_xAs$ 層 ($0.2 < x < 0.8$) はメルトバック耐性に優れているので、前記 $Ga_{1-x}Al_xAs$ 層が複数含まれた電流阻止層は電流阻止効果が優れ、無効電流が減少する。特に、前記 $Ga_{1-x}Al_xAs$ の層厚が $0.1\mu m$ 以下である場合に酸化された側端面に結晶成長が可能である。

【0014】

【実施例】以下、本発明に係る一実施例の面発光型半導体レーザ装置について図面を参照しつつ説明する。図1は本実施例の半導体レーザ装置の断面図である。

【0015】図中、1は基板 (n型GaAs) である。この基板1の (100) 面上には半導体多層膜反射鏡 (n型 $Ga_{0.9}Al_{0.1}As$ / $AlAs$ の25ペア) 2が形成され、該反射鏡2上には層厚 $0.5\mu m$ の第1クラッド層 (n型 $Ga_{0.9}Al_{0.1}As$) 3、層厚 $1\mu m$ の活性層 (p型GaAs) 4、層厚 $0.3\mu m$ の第2クラッド層

ド層(p型Ga_{1-x}Al_xAs)5がこの順に積層されてダブルヘテロ構造部100が形成されている。

【0016】前記第2クラッド層5上には電流通路部となる凹部6をもつ電流阻止層7が形成されている。この電流阻止層7は例えば層厚0.3μmの第1電流阻止層(n型GaAs)8、及び層厚0.2μmのn型Ga_{1-y}Al_yAs層9a(ここで、組成比yは0≤y≤0.2で、望ましくはy=0.1近傍)と層厚0.1μm以下、例えば0.1μmのn型Ga_{1-x}Al_xAs層9b(ここで、組成比xは0.2<x<0.8で、望ましくはx=0.7近傍)のそれぞれ3層と2層が交互に積層されてなる第2電流阻止層9とで構成されている。前記電流阻止層7上及び前記凹部6内には、前記電流阻止層7上の層厚が2μmである電流注入層(p型Ga_{1-x}Al_xAs)10が形成されている。前記電流注入層10上には層厚0.5μmのコンタクト層(p型Ga_{1-x}As_{0.1}As)11が形成されている。そして、前記コンタクト層11上に誘電体多層膜反射鏡12(SiO₂/TiO₂の4ペア)が形成され、また前記誘電体反射鏡12と同じ材料からなる中間層13が前記コンタクト層11を囲む態様に前記残余の電流注入層10上に形成されている。

【0017】そして、前記コンタクト層11及び中間層13上には、誘電体多層膜反射鏡12を囲む態様にp型電極(Au/Cr)14が形成され、基板1の下面にはn型電極(Au/Sn)15が形成されている。

【0018】次に、斯る半導体レーザ装置の製造方法の一例について説明する。尚、図1と同じ部分には同じ符号を付す。

【0019】まず、図2(a)に示すように、最初に基板1を準備した後、この基板1の(100)面上に有機金属気相成長法(MOCVD法)又は分子線エピタキシャル法(MBE法)を用いて、半導体多層膜反射鏡2、第1クラッド層3、活性層4、第2クラッド層5、第1電流阻止層8、第2電流阻止層9、及び層厚0.1μmのキャップ層(p型GaAs)21をこの順に形成する。

【0020】次に、図2(b)に示すように、前記キャップ層21上にフォトリソグラフィ技術等を用いて、例えば直径10μm程度の円形窓をもつレジストパターン膜22を作成した後、該レジストパターン膜22をマスクとして、硫酸系エッチャント(H₂SO₄:H₂O₂:H₂O=3:1:1)により、キャップ層21、第2電流阻止層9、及び第1電流阻止層8をエッチングし、該第1電流阻止層8を約0.1μm残した状態で凹部6aを形成した後、前記レジストパターン膜22を除去する。ここで、前記凹部6aの下部の第1電流阻止層8を除去しないのは、第2クラッド層5の上面が大気中で酸化され、後の工程であるLPE法により第2クラッド層5上に結晶成長できなくなるのを防止するためである。

【0021】続いて、図2(c)に示すように、GaAsメルトを用いて前記凹部6aの下部にある第1電流阻止層8をメルトバックにより除去して第2クラッド層5を露出する凹部6を完成すると共に前記キャップ層21を除去した後、液相エピタキシャル法(LPE法)を用いて凹部6内及び前記電流阻止層7上に電流注入層10、続いて、前記電流注入層10上にコンタクト層11を形成する。

【0022】次に完成図である図1に示すように、前記コンタクト層11上にレジストパターン膜を形成し、該レジストパターン膜をマスクとしてアンモニア系エッチング液(NH₄OH:H₂O₂=1:20)によりエッチングする。その後、前記パターン化したコンタクト層11及び露出した電流注入層10上に電子ビーム蒸着法により誘電体多層膜反射鏡を形成した後、該誘電体多層膜反射鏡の一部をプラズマエッチングにより除去して前記コンタクト層11の一部を露出させて、誘電体多層膜反射鏡12と中間層13を形成する。その後、蒸着法等により該誘電体多層膜反射鏡12を囲む態様にp型電極14を形成すると共に基板1の下面にも蒸着法によりn型電極15を形成する。

【0023】斯る面発光型半導体レーザ装置では、電流阻止層7に複数含まれるGa_{1-x}Al_xAs層(0.2<x<0.8)9bがメルトバック耐性に優れ、且つその層厚が0.1μm以下であるので、その側端面が酸化されても該面に結晶成長が可能である。従って、前記LPE法により前記凹部6内に電流注入層10を形成できると共に、前記メルトバック工程及びLPE法を用いる工程において、該電流阻止層7においてメルトバックが進行するのを防止できる。従って、電流阻止効果の低下を防止でき、無効電流が減少する。

【0024】また、斯る面発光型半導体レーザ装置では、図3に電流阻止層7のポテンシャルエネルギーを示すように、従来の面発光型半導体レーザ装置に比べてヘテロ界面でのバリアが多数存在するので、より耐圧が向上する。尚、電流阻止層7にGa_{1-x}Al_xAs層(0.2<x<0.8)が単層しか含まれない面発光型半導体レーザ装置は、効果が非常に小さかった。

【0025】ところで、Ga_{1-x}Al_xAs層は電流阻止層7に複数含まれていればよく、適宜変更可能である。但し、Ga_{1-x}Al_xAs層9bが電流阻止層7の最上部に位置しない場合は製造工程においてキャップ層21を設ける工程を省くことができるが、該Ga_{1-x}Al_xAs層9bが電流阻止層7の最上部にある場合は、製造工程中にGa_{1-x}Al_xAs層が酸化されて、後のLPE法によってその上面に結晶成長が行えなくなるのでキャップ層21は必要である。

【0026】また、上記実施例ではn型GaAs基板を用いたが、p型GaAs基板を用いてもよい。但し、この場合、第1、第2電流阻止層等も逆の導電型にする必

要がある。

【0027】また、第1電流阻止層を省いてもよいが、上記実施例のように第1電流阻止層を設ける方が好ましい。更に、活性層にGaAsに代えてGaAlAsを用いてもよい。

【0028】また、従来例と同じように、誘電体多層膜反射鏡下のコンタクト層を取り除いた構造にしてもよく、適宜変更可能である。

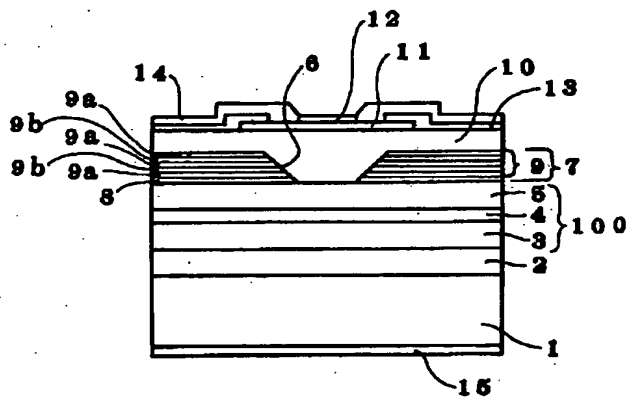
【0029】更に、上記実施例では面発光型半導体レーザ装置の一例について説明したが、適宜変更可能であり、例えば基板面に平行な方向から光を取り出す通常のGa_{1-x}Al_xAs系半導体レーザ装置でもよい。

【0030】

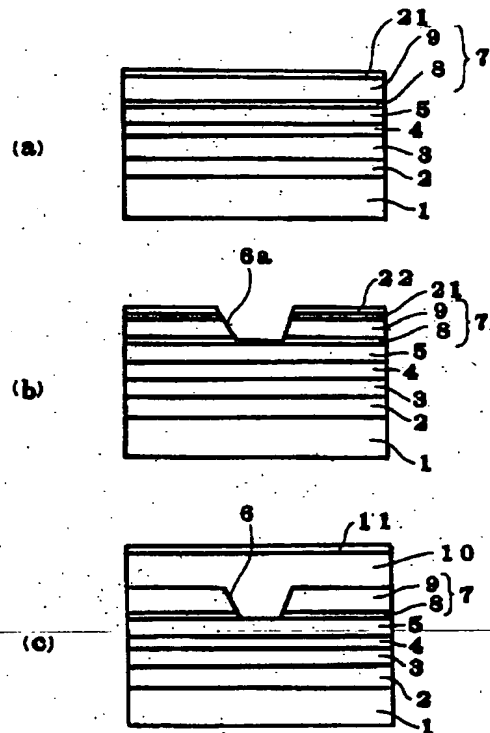
【発明の効果】本発明の半導体レーザ装置は、電流阻止層に複数層含まれているGa_{1-x}Al_xAs層（0.2 < x < 0.8）がメルバック耐性に優れているので、該電流阻止層での電流阻止効果が優れて無効電流が減少する。特に前記Ga_{1-x}Al_xAs層の層厚が0.1 μm以下である場合に、酸化した側端面での結晶成長が可能となるので望ましい。

【図面の簡単な説明】

【図1】



【図2】



*【図1】本発明に係る一実施例の面発光型半導体レーザ装置の断面図である。

【図2】上記面発光型半導体レーザ装置の製造工程を示す工程図である。

【図3】上記面発光型半導体レーザ装置の電流阻止層におけるポテンシャルエネルギー曲線の模式図である。

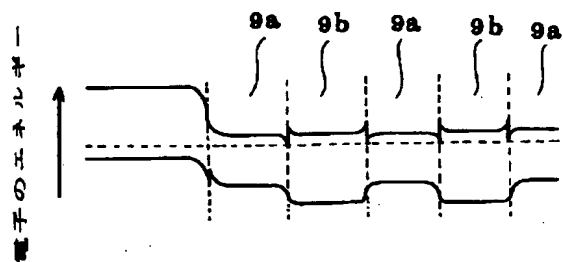
【図4】従来例の面発光型半導体レーザ装置の断面図である。

【図5】従来例の面発光型半導体レーザ装置の製造工程を示す図である。

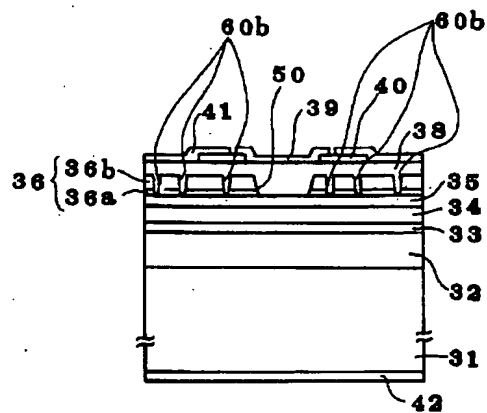
【符号の説明】

- 1 GaAs基板
- 3 第1クラッド層
- 4 活性層
- 5 第2クラッド層
- 100 ダブルヘテロ構造部
- 6 凹部（電流通路部）
- 7 電流阻止層
- 8 第1電流阻止層
- 9 第2電流阻止層
- 9b Ga_{1-x}Al_xAs層

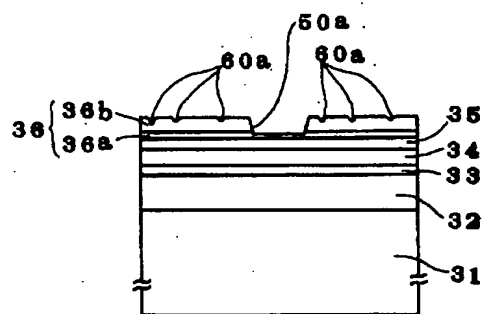
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 石川 徹
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内